### Практическое занятие.

### Разработка последовательностных устройств

Последовательностные устройства - это цифровые устройства, в которых состояние выходов зависит от состояния входов в предыдущие моменты времени. Такие устройства обладают памятью, к ним относятся счетчики и регистры.

Счётчики обеспечивают преобразование количества входных импульсов в выходное двоичное число. Различают суммирующие, вычитающие, реверсивные счетчики, счетчики с коэффициентом счета , где *N* –число разрядов счётчика.

Суммирующие счетчикиобеспечивают увеличение выходного двоичного числа на единицу младшего разряда при поступлении каждого последующего входного импульса. Могут быть реализованы на основе *Т*-триггеров, у которых выход *Q* предыдущего триггера соединен со счетным входом *С* последующего триггера. Количество триггеров равно количеству разрядов выходного двоичного числа.Схема суммирующего счетчика изображена на рис. 1.



Рис. 9.1

Временная диаграмма поясняет работу счётчика (рис. 1):

1) Перед началом работы подаем сигнал установки разрядов счетчика в «0» *R*=1; при этом все выходы =0. После прихода заднего фронта первого импульса срабатывает первый триггер, и =1, при этом второй и третий триггеры не сработают, так как на их входах не будет наблюдаться задний фронт импульса *С*.

2) После прихода заднего фронта второго импульса первый триггер сработает еще раз, т.е. =0. Это означает, что на выходе второго триггера появится задний фронт импульса, и =1, а третий триггер не сработает (=0), и так далее.

3) После седьмого () импульса все триггеры устанавливаются в «1» (все =1). Следующий импульс устанавливает все триггеры в «0» (все =0), т.е. начинается следующий цикл счета с нуля, а счетчик называется циклическим.



Рис. 2

Вычитающие счетчикиобеспечивают уменьшение выходного двоичного числа на единицу младшего разряда при поступлении каждого входного импульса. Они могут быть реализованы на основе *Т*-триггеров, у которых выход  предыдущего триггера соединен со счетным входом *C* последующего триггера (на рис. 1 пунктирная линия). Выходное двоичное число также наблюдается на выходах  триггеров.

Если такой счетчик установлен в «0», то первый пришедший импульс по заднему фронту устанавливает все триггеры в состояние «1», и все выходы *Qi* =1. Каждый последующий импульс будет уменьшать это максимальное число на 1. Такой счетчик также является циклическим.

Реверсивные счетчики обеспечивают возможность как сложения, так и вычитания импульсов. Такой счетчик должен настраиваться на определенный режим по сигналам управления. Он может быть реализован с помощью введения дополнительных логических схем между триггерами, которые могут настраивать реверсивный счетчик на режим суммирования или на режим вычитания.

Схема реверсивного счетчика изображена на рис. 3.



Рис. 3

Если сигнал на входе управления *UP=*1, то «лог. 1» подается на верхние элементы И; это обеспечивает соединение выхода *Q* предыдущего триггера со счетным входом *С* последующего триггера. Таким образом, схема настраивается на режим суммирования. В это время путь передачи инверсных сигналов на вход последующего триггера отключается, так как с помощью дополнительного инвертора на нижние элементы И подается «0» (см. рис. 3).

Если сигнал на входе управления , то «1» подается на нижние элементы И, инверсный выход предыдущего триггера соединяется с входом *С* последующего триггера. Таким образом, схема реверсивного счетчика настраивается на режим вычитания. На рис. 4 приведён пример обозначения реверсивного счетчика.



Рис. 4

При подаче импульсов на вход происходит сложение, а при подаче на вход  - вычитание.

При подаче сигнала разрешения параллельной загрузки =0 в счетчик загружается число, присутствующее на входах параллельной загрузки *D*0…*D*7.

Примечание - Дополнительные выходы  и предназначены для наращивания разрядности. Для наращивания разрядности необходимо взять еще одну микросхему счетчика и соединить выходы  и первой микросхемы с входами исчетчика старших разрядов (второй микросхемы).

Счетчики с коэффициентом счета **- могут быть реализованы на основе двоичного счетчика, в котором используется дополнительная логическая схема, обеспечивающая принудительную установку счетчика в «0» при достижении определенного двоичного числа (рис. 9.5). Характерным примером является двоично-десятичный счетчик.



Рис. 9.5

Примечание - Двоично-десятичный код использует такое представление числа, когда младшие четыре двоичных разряда отражают количество *единиц* десятичного числа, следующие четыре разряда показывают количество *десятков* десятичного числа и так далее.

Десятичный код Двоичный код Двоично-десятичный код

0 0000 0000 0000

  

9 1001 0000 1001

10 1010  

Схемное изображение двоично-десятичного счётчика приведено на рис. 6.



Рис. 6

Примечание - Счетчики могут быть использованы в качестве делителей частоты, так как каждый последующий разряд счетчика обеспечивает последовательное деление на два.

Для сокращения длительности импульсов, на выходе можно установить дифференцирующую цепочку (рис. 7).



Рис. 7

Выходной сигнал дифференцирующей цепочки изменяется по закону:

.

Временная диаграмма изображена на рис. 8.



Рис. 8

Для устранения отрицательного импульса установлен диод *VD*. Проще всего счётчики могут использоваться для деления частоты на ******(рис. 9).



Рис. 9

Задания: 1) нарисовать схему вычитающего счетчика;

2) нарисовать временные диаграммы вычитающего счетчика;

3) реализовать схему делителя частоты на 3; 5; 6; 7; 9; 10; 11; 12; 13; 14; 15; 20;

4) нарисовать временные диаграммы работы делителя частоты.